

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-145090

(43)Date of publication of application : 28.05.1999

(51)Int.Cl.

H01L 21/304

H01L 21/76

(21)Application number : 09-307691

(71)Applicant : NEC CORP

(22)Date of filing : 10.11.1997

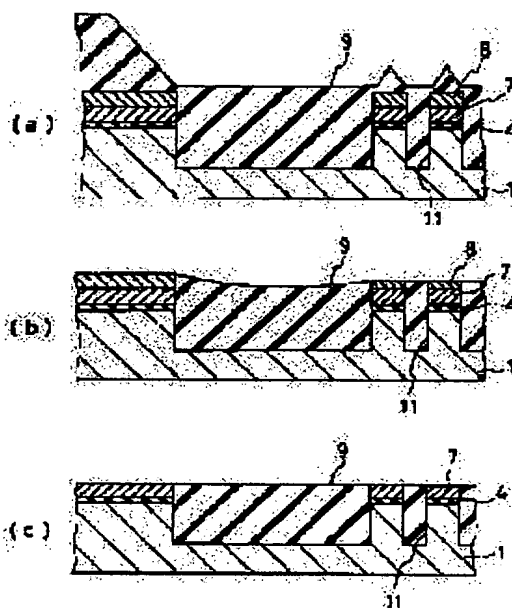
(72)Inventor : TORII YASUSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device where in order not to make the thickness of an insulating film different by concentration of a trench isolating part, thickness of an insulating film in the trench is prevented from changing between patterns, without deteriorating burying property of the insulating film to the trench isolating part, when the insulating film buries in the trench isolating part is flattened by polishing, and difference of film thickness in the whole region of an Si substrate between the same patterns can be excluded.

SOLUTION: An SiO₂ insulating film 9 is polished with abrasive whose main component is CeO₂, a polishing stopper upper layer film 8 constituted of a poly Si film is exposed. At this time, the polishing speed of the poly Si film is low in the above abrasive, and the poly Si film acts as a polishing stopper. The poly Si film and the SiO₂ film are polished by using alkaline abrasive whose main component is silica. The polishing speed of the poly Si film is the highest, and the polishing speed of a polishing stopper lower layer 7 constituted of SiN is the lowest when the alkaline abrasive is used. As a result, the poly Si film 8 used as a stopper in a first step of polishing can be selectively polished, so that pattern dependency of polishing is canceled, and the whole surface can be flattened.



LEGAL STATUS

[Date of request for examination] 10.11.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3116879

[Date of registration] 06.10.2000

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145090

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

H 0 1 L 21/304
21/76

識別記号

3 2 1

F I

H 0 1 L 21/304
21/76

3 2 1 S
L

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号

特願平9-307691

(22) 出願日

平成9年(1997)11月10日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 島井 康司

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 弁理士 藤巻 正憲

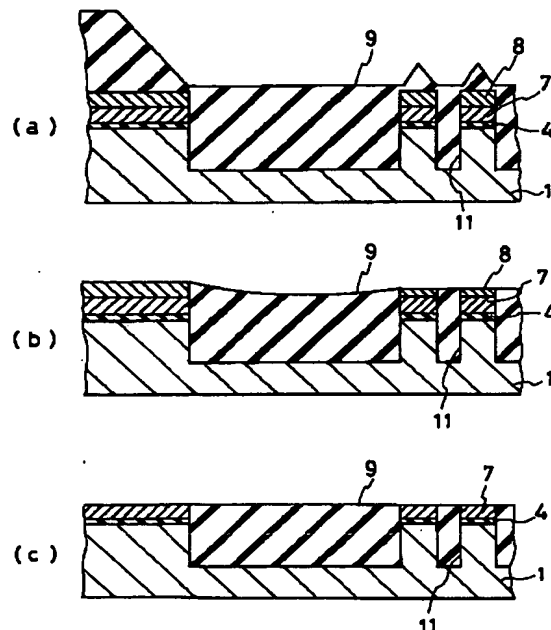
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

(修正有)

【課題】 溝分離部に埋込まれた絶縁膜を研磨により平坦化する際、溝分離部の密集度により絶縁膜厚が異ならないように、溝分離部への絶縁膜の埋込み性を悪化させることなく、溝内絶縁膜の膜厚がパターン間で変動するのを防止し、また同一パターン間のS i 基板全域での膜厚差を解消できる半導体装置の製造方法を提供する。

【解決手段】 C e O₂を主体にする研磨剤でS i O₂絶縁膜9を研磨し、ポリS i 膜からなる研磨ストップ上層膜8を露出させる。その際上記研磨剤ではポリS i 膜の研磨速度は低く、研磨ストップとして働く。さらにシリカ主体のアルカリ性研磨剤を用いて、ポリS i 膜及びS i O₂膜を研磨するが、その研磨剤ではポリS i 膜の研磨速度が最高で、S i Nからなる研磨ストップ下層膜7の研磨速度が最低である。従って研磨の第1段階にストップとして用いたポリS i 膜8を選択的に研磨できるので、研磨のパターン依存性を打消して全面を平坦化することができる。



1: シリコン基板 8: 上層膜
4: 熱酸化膜 9: 絶縁膜
7: 下層膜 11: 溝

【特許請求の範囲】

【請求項1】 半導体基板上の凸部となる部分に研磨のストップ層を少なくとも下層膜及び上層膜の2層形成する工程と、溝部を形成する工程と、この溝部埋めるように絶縁膜を形成する工程と、前記ストップ層を利用して異なる研磨条件にて2段階の研磨を行う研磨工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記研磨工程は、前記絶縁膜、上層膜の研磨ストップ層の順に研磨速度が高い条件下で研磨し、前記上層膜の研磨のストップ層を露出させる第1段階の研磨工程と、前記上層膜の研磨ストップ層、前記絶縁膜、前記下層膜の研磨ストップ層の順に研磨速度が高い条件下で研磨し、前記下層膜の研磨ストップ層を露出させる第2段階の研磨工程とを有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記下層膜及び上層膜は、シリコン窒化膜、ポリシリコン膜、有機又は無機のシリカ塗布膜及び金属膜からなる群から選択されたものであり、相互に異なるものであることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記下層膜及び上層膜の厚さは50乃至300nmであることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記溝部は、溝分離部となることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置の製造方法。

【請求項6】 前記溝部は、多層配線の層間絶縁膜となることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に素子分離部の埋め込み膜の平坦化方法を改善した半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体素子の微細化に伴い個々の半導体素子を電氣的に分離する素子分離部の幅が狭くなってきている。従来はLOCOS法といわれるシリコン基板を局所的に酸化する手段が採られていた。例えば、シリコン基板上に酸化膜を形成し、更に窒化膜を形成した後、リソグラフィ法及びドライエッチング法によって所定の位置に窒化膜の開口部を設け、その部分を選択的に酸化することにより、素子分離領域を形成するものである。この方法では窒素膜開口部付近のシリコン基板との界面にも酸化が進行し、バズビークといわれる素子分離領域の変化が生じる。従って、素子分離幅が500nm以下となると、LOCOS法では狭い素子分離領域を形成することが困難となってきている。

【0003】そこで、最近では溝分離法が採用されてきている。この方法はリソグラフィ法及びドライエッチ

ング法により直接シリコン基板に溝を掘り、この溝内部にシリコン酸化膜を埋め込み、続いて不要なシリコン酸化膜を除去する工程からなる。図5(a)、(b)は従来の溝分離部の形成方法を工程順に示す断面図である。

【0004】まず、図5(a)に示すように、シリコン基板1の表面に薄いシリコン酸化膜2を形成した後、シリコン窒化膜3を成膜し、リソグラフィ法によって所望の領域を被覆し、ドライエッチング法によりシリコン窒化膜3、シリコン酸化膜2、続いてシリコン基板1の一部をエッチング除去して溝11を形成する。

【0005】更に、シリコン基板1を酸化して、溝11内部に薄いシリコン酸化膜2を形成した後、厚いシリコン酸化膜2'を形成して溝11内部を埋め込む。

【0006】続いて、機械化学研磨法(以下、CMP法という)を用いて、シリコン窒化膜3上に形成された凸状のシリコン酸化膜2'を選択的に研磨する。シリコン窒化膜3の研磨速度は、一般的な酸化膜用に用いられている研磨材で研磨した場合、酸化膜の研磨速度の1/3から1/5程度になる。従って、シリコン窒化膜3が露出すると、その部分での研磨速度は低下する。しかしながら、凸部の占める割合が低い部分では、研磨速度を抑える作用が少ないため、図5(b)に示すように、表面平坦性が悪い形状が得られる。ここで問題となるのは幅の広い溝11の酸化膜が幅の狭い溝の酸化膜よりも薄くなってしまうという現象が生じることである。このような形状では、以降の製造工程にてシリコン窒化膜3を除去し、シリコン基板1表面のシリコン酸化膜を除去し、ゲート絶縁膜、更にはゲート電極膜を形成した時点で、ゲート電極膜の表面に凹凸形状が残存し、高い寸法精度が要求されるゲート電極の加工に支障をきたしてしまう。

【0007】なお、研磨材を選択することにより、酸化膜とシリコン窒化膜との研磨速度の比を上げて、膜厚差を生じ難くする方法もあるが、研磨表面にスクラッチが入ったり、研磨材の洗浄性が悪くなるなどの問題点があった。このような問題点に対して、特開平9-36073では次のような製造方法を提案している。

【0008】図6はこの公報に記載された従来方法を工程順に示す断面図である。図6(a)に示すように、シリコン基板1に熱酸化膜4を形成し、その上にシリコン窒化膜3及びポリシリコン膜6を形成し、所望位置にレジストをパターン加工し、ポリシリコン膜6、シリコン窒化膜3、熱酸化膜4及びシリコン基板1の一部を順次エッチング除去し、溝11を形成する。その後、厚いシリコン酸化膜2'を形成して溝11内を埋め込む。

【0009】この場合に、シリコン窒化膜3は後の工程の研磨に対してのストップ層、ポリシリコン膜6はシリコン酸化膜等の被研磨膜より研磨速度の速い中間層として機能する。このように、シリコン酸化膜等の被研磨膜より研磨速度が速い膜と遅い膜とを溝以外の領域に形成

することにより、図6(b)に示すように、幅が広い溝の絶縁膜が薄くなることを抑制しようとするものである。

【0010】CMPでは凸部の面積の大小により研磨速度が異なり、面積が大きい凸部ほど研磨速度が遅くなる性質がある。従って、この従来の製造方法においては、凸部の所定の部位に研磨速度が速い膜を設けることにより、中間層が露出した状態からは、逆に研磨速度が速い膜の占める面積が大きい部位ほど研磨速度が速くなる。この従来方法は、凸部を研磨しているときの凸部面積依存性の関係を逆転させ、平坦な面を得ようとするものである。

【0011】

【発明が解決しようとする課題】しかしながら、上述の従来技術は、以下に示す問題点がある。まず、ストップ層が一層のみであり、CMP法での研磨速度の面内均一性が悪い場合に、その悪影響を低減する効果が少ないために、溝内の絶縁膜の厚さのばらつきが大きいという問題点がある。

【0012】第2の問題点は、研磨速度が高い膜をかなり厚く成膜しないと、研磨初期の凸部の研磨レートと面内依存性の関係を逆転させることが難しいため、溝内に絶縁膜を埋め込む際、アスペクト比が高くなるので、微細な幅の溝分離には適用が難しい。

【0013】本発明はかかる問題点に鑑みてなされたものであって、溝分離部への絶縁膜の埋め込み性を悪化させることなく、溝分離部の絶縁膜の膜厚がパターン間で変動することを防止し、また同一パターン間のシリコン基板全域での膜厚差を解消することができる半導体装置の製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、半導体基板上の凸部となる部分に研磨のストップ層を少なくとも下層膜及び上層膜の2層形成する工程と、溝部を形成する工程と、この溝部埋めるように絶縁膜を形成する工程と、前記ストップ層を利用して異なる研磨条件にて2段階の研磨を行う研磨工程とを有することを特徴とする。

【0015】この半導体装置の製造方法において、前記研磨工程は、前記絶縁膜、上層膜の研磨ストップ層の順に研磨速度が高い条件下で研磨し、前記上層膜の研磨のストップ層を露出させる第1段階の研磨工程と、前記上層膜の研磨ストップ層、前記絶縁膜、前記下層膜の研磨ストップ層の順に研磨速度が高い条件下で研磨し、前記下層膜の研磨ストップ層を露出させる第2段階の研磨工程とを有するようにこうせいすることができる。

【0016】また、前記下層膜及び上層膜は、シリコン窒化膜、ポリシリコン膜、有機又は無機のシリカ塗布膜及び金属膜からなる群から選択されたものであり、相互に異なるものであるとすることができる。更に、前記下

層膜及び上層膜の厚さは50乃至300nmであることが好ましい。そして、前記溝部は、溝分離部又は多層配線の層間絶縁膜とすることができる。

【0017】本発明においては、絶縁膜、上層膜の研磨ストップ層の順に研磨速度が高い条件下で半導体基板表面の絶縁膜を研磨していくと、絶縁膜の凸部が選択的に研磨されていく。この凸部の研磨速度は各領域での凸部の占める割合で異なり、凸部の占める割合が低い部分程高くなる傾向がある。従って、研磨を続けていくと、先ず凸部の占める割合が低い部分で上層の研磨ストップ層が露出する。この上層の研磨ストップ層は絶縁膜よりも研磨速度が遅いため、凸部での研磨速度は低下する。この研磨のストップ層による研磨速度の変化もストップ層の占める割合で異なり、凸部の占める割合の低い部分、即ちストップ層の占める割合の低い部分ほど、研磨速度の低下する割合は少なくなる。研磨を進行していくと、凸部の占める割合が多い部分と凸部の占める割合が低い部分との膜厚差は減少していくが、凸部の占める割合が高い部分、即ち最も絶縁膜が研磨されにくい領域の絶縁膜が除去された時点からは、逆に凸部の占める割合が高い部分と凸部の占める割合が低い部分で膜厚差、即ち上層膜のストップ層の膜厚が拡大し始める。従って、凸部上の絶縁膜が除去された段階にて研磨の第1段階を終えることが望ましい。

【0018】続いて、上層膜のストップ層、絶縁膜、下層膜のストップ層の順に研磨速度が高い条件下で半導体基板表面を研磨する。研磨の第1段階で生じた半導体基板の表面の凹凸は、パターン依存性、即ち上層のストップ層の占める割合が高い程、ストップ層及びその周辺が厚くなったことにより生じたものであるから、研磨の第2段階では上層のストップ層を最も速く研磨することで、研磨の第1段階で生じた凸部の研磨速度を逆に高めて、研磨の第1段階のパターン間での膜厚差を縮小させる。研磨を継続して行くと、上層膜又は下層膜のストップ層の占める割合が高い部分で下層膜のストップ層が早く露出する場合があるが、下層膜のストップ層の研磨速度は最も低いため、平坦性は改善される方向に働く。以上のように研磨のストップ層と絶縁膜との研磨速度の相対関係を入れ替えることで、凸部となる部分を選択的に研磨することができるために、平坦な面を得ることができる。

【0019】また、研磨のストップ層は、主研磨膜、例えば絶縁膜に対して、研磨速度が低いために、研磨量のばらつきが大きくなったとしても、これによる影響を少なくすることができる。従来では、研磨のストップ層を1層のみとし、ストップ機能による改善が1回のみであるのに対して、本発明ではストップ機能を2回適用できるため、更に研磨量のばらつきによる影響を少なくすることができ、膜厚の均一性を向上させることができる。

【0020】

【発明の実施の形態】次に、本発明の実施例について添

付の図面を参照して具体的に説明する。図1(a)乃至(c)は、本発明の実施例方法を工程順に示す断面図である。まず、図1(a)に示すように、シリコン基板1上に熱酸化膜4を10乃至40nmの厚さで成膜し、続いて性質が異なる膜を2層(下層膜7及び上層膜8)成膜する。これらの下層膜7及び上層膜8の材料としては、シリコン窒化膜、ポリシリコン膜、有機又は無機のシリカ塗布膜、金属膜が好ましい。下層膜7及び上層膜8は、これらの材料のいずれかを選択したものであり、相互に異なるものである。上層膜8及び下層膜7の膜厚としては、いずれも50乃至300nm程度とする。

【0021】続いて、リソグラフィ法によりマスクで所望の位置を被覆し、ドライエッチング法により、上層膜8、下層膜7及び熱酸化膜4を局部的に順次除去し、更にシリコン基板1を150乃至700nm程度の深さでエッチング除去する。これにより、溝11を形成する。その後、シリコン基板1を覆うように絶縁膜9を成膜する。絶縁膜9の厚さはシリコン基板1の溝の深さと同程度か、又はそれより100乃至300nm厚い程度とする。

【0022】次に、シリコン基板1の表面を2段階に分けて研磨する。図2は一般的な研磨装置の要部側面図である。この研磨装置においては、円盤状の剛体であるプラテン16がその中心を回転中心として回転可能に配置されており、このプラテン16上には、研磨パッド15が貼付されるようになっている、この研磨パッド15の回転域には、研磨パッド15に向けて荷重を印加するスピンドル12が配設されており、このスピンドル12の下端には、シリコン基板1を保持するためのキャリア13が設けられている。キャリア13はスピンドル12の回転によりその中心を回転軸として回転駆動される。また、プラテン16の上方には、プラテン16の中心部に研磨材18を供給する研磨材供給装置17が配設されている。

【0023】研磨パッド15としては一般的に用いられている2層構成のものを用いる。上層には硬質ポリウレタン、下層にはポリウレタン含浸不織布又は発泡ポリウレタンなどの軟質材料を使用する。研磨材18は、上層膜8、下層膜7及び絶縁膜9の種類に応じて選定する。

【0024】シリコン基板1を研磨する際にはシリコン基板1の主面をプラテン16側に向けてキャリア13に保持し、スピンドル12を下降させてプラテン16上に押し付け、同時にキャリア13とプラテン16を回転させながら研磨材18を供給する。研磨条件としては荷重が200〜700g/cm²程度、キャリア13及びプラテン16の回転数10〜100回転/分、研磨材18の流量が50〜500ml/分程度である。

【0025】具体的な研磨方法については、まず、絶縁膜9及び上層膜8の順に研磨速度が速い研磨材18を使用して上記研磨条件にてシリコン基板1を研磨し、上層

膜8が露出した段階を見極める。一般的には研磨速度を算出し、時間管理で行う場合と、異種膜が露出するときの研磨装置への負荷の変動を読み取って、終点検知する場合とがある。本実施例ではこの上層膜8の検知方法は特に限定するものではない。続いて、上層膜8、絶縁膜9及び下層膜7の順に研磨速度が速い研磨材18を使用して、下層膜7が露出するまで研磨を行う。

【0026】次に、本発明の実施例方法におけるシリコン基板1の表面の研磨方法について更に詳細に説明する。図1(a)に示すように、シリコン基板1の表面の凹凸は絶縁膜9により被覆されている。そこで、研磨速度が絶縁膜9、上層膜8の順に速くなるような研磨材18、即ち絶縁膜9に対する研磨速度の方が上層膜8に対する研磨速度よりも速い研磨材18を使用して研磨すると、絶縁膜9の凸部が選択的に研磨されて行く。しかしながら、凸部の研磨速度は、各々の領域での凸部の占める割合で異なり、凸部の占める割合が低いほど、上層膜8が露出する時点が速い。上層膜8の研磨速度は絶縁膜9の研磨速度より低いいため、凸部の占める割合が高く、絶縁膜9が残存している部分の絶縁膜の研磨速度よりも、上層膜8の露出した凸部の占める割合が少なかった部分の上層膜8の研磨速度が低くなる。従って、凸部の占める割合により研磨速度が異なる現象をある程度は抑制できる。

【0027】しかし、図1(b)に示すように、上層膜8がシリコン基板1のほぼ全域に亘って露出した時点でのシリコン基板1の表面には、上層膜8の膜厚のパターンによる差と、上層膜8がない領域での絶縁膜9の薄膜化が生じている。このようなシリコン基板1表面の凹凸は100〜200nm程度残存している。研磨を更に継続すると、表面の凹凸の幅が拡大していくので、本実施例においては、一旦この研磨を終える。この場合に、終点技術を使用しても良い。例えば、終点技術としては、研磨時のキャリアの回転への負荷の変化を利用する方法、研磨時の研磨パッドの温度の変化を利用する方法、及び半導体基板表面の反射率の変化を利用する方法等がある。

【0028】次に、上層膜8、絶縁膜9、下層膜7の順に研磨速度が速い研磨材18、即ち、上層膜8に対する研磨速度が最も速い研磨材18に切り替える。この工程では、前工程の研磨工程における上層膜8と絶縁膜9の研磨速度の相対関係を逆転させたので、シリコン基板1の表面の凸部、即ち上層膜8が選択的に研磨されるため、シリコン基板1の表面の平坦度が改善されていく。上層膜8の研磨速度に対して下層膜7の研磨速度は低いため、下層膜7が露出した部分の研磨速度は低下する。絶縁膜9の研磨速度は下層膜の研磨速度よりも高いので、シリコン基板1の表面が平坦になる方向に作用する。なお、研磨を終えるタイミングは終点検知により決定しても良い。

7
【0029】以上のように、シリコン基板1の凸部に異なる性質の膜を複数層成膜し、研磨のストップとなる部分を切り換えることにより、シリコン基板1の表面の凹凸の平坦度を改善することができると共に、ストップを複数回使用することができるので、面内均一性も改善することができる。

【0030】次に、本発明の第2の実施例について説明する。図3(a)乃至(c)は本発明の第2実施例方法を工程順に示す断面図である。前述の第1実施例は、本発明を溝分離部の製造工程に適用した場合のものであるが、本第2実施例は、本発明を多層配線の層間絶縁膜の平坦化へ適用した場合のものである。

【0031】図3(a)に示すように、シリコン基板1上に半導体素子形成領域5が形成されており、この素子形成領域5上に金属配線10が形成されている。この金属配線10上に、性質が異なる膜(下層膜7及び上層膜8)を2層成膜する。リソグラフィ法により所定の位置をレジスト膜により被覆し、ドライエッチング法により上層膜8、下層膜7、金属配線10を局所的に順次除去して溝11を形成する。次いで、絶縁膜9を、上層膜8、下層膜7及び金属配線11の膜厚を加えた程度の膜厚分だけ成膜する。この絶縁膜9の形成はバイアスCVD法により行うことができる。これにより、絶縁膜9の表面に凹凸が形成される。

【0032】続いて、図3(b)に示すように、シリコン基板1の表面を2段階に分けて研磨する。研磨方法及び研磨条件等は本発明の第1実施例と同様である。研磨の第1段階では、絶縁膜9及び上層膜8の順に研磨速度が高い条件、即ち絶縁膜9に対する研磨速度の方が上層膜8に対する研磨速度より速い条件で研磨する。上層膜8が露出した時点で、研磨材18を切り替えて、上層膜8、絶縁膜9、下層膜7の順に研磨速度が高い条件下で、即ち上層膜8に対する研磨速度が最も速く下層膜7に対する研磨速度が最も遅い条件で、シリコン基板1表面の研磨を行い、下層膜7が露出した段階にて研磨を終了する。この研磨工程の後に、プラズマCVD法等により絶縁膜を追加成長させて、所望の絶縁容量が得られるように調整する。

【0033】なお、上層膜8及び下層膜7としてはプラズマシリコン窒化膜、有機又は無シリカ膜、金属膜又は常圧CVD膜が好ましい。上層膜8及び下層膜7は、これらの材料の中から相互に異なるように選択して上層膜8及び下層膜7として割り当てれば良い。

【0034】

【実施例】次に、本発明の実施例方法により実際に図1に示す溝分離部を形成した結果について、従来方法による比較例と比較して説明する。本発明の実施例方法においては、図1に示すように、シリコン基板1上に熱酸化膜4を20nm、下層膜7としてシリコン窒化膜を50nm、更に上層膜8としてポリシリコン膜を150nm

形成した。リソグラフィ法により所定の領域をレジストで被覆し、ドライエッチング法により、ポリシリコン膜上層膜8、シリコン窒化膜下層膜7、熱酸化膜4を局所的に順次エッチングし、更にシリコン基板1を400nmだけエッチングして溝11を形成した。その後、シリコン基板1の表面にバイアスCVD法により絶縁膜9としてシリコン酸化膜を750nmだけ成膜した。

10 【0035】続いて、シリコン基板1の表面を2段階に分けて研磨した。研磨の第1段階では、平均粒子径が500nm程度の酸化セシウムを5%程度含み、pHを7程度に調整された研磨材18を使用した。研磨パッド15としては、上層には硬質ポリウレタン、下層にはポリウレタンからなる軟質材料が設けられた一般的な2層構成のものを使用した。研磨条件としては、荷重を300g/cm²にし、キャリア13の回転数及びプラテン16の回転数をいずれも25回転/分にし、研磨材18の流量を150ml/分とした。この条件下でのシリコン酸化膜からなる絶縁膜9の研磨速度は300nm/分程度であり、ポリシリコン膜からなる上層膜8の研磨速度は30nm/分以下となった。

20 【0036】この条件下でシリコン基板1の研磨を行い、ポリシリコン膜上層膜8が全ての領域にて露出するようにした。所要時間は2~3分であった。続いて、研磨材18を、平均粒子径が0.15μm程度のシリカ粒子を12%程度含み、pHを11程度に調整されたものに切り替えて研磨した。研磨パッド及び研磨条件を変更しない場合では、この条件下でのシリコン酸化膜絶縁膜9の研磨速度は150nm/分程度、ポリシリコン膜上層膜8の研磨速度は600nm/分程度であり、シリコン窒化膜下層膜7が露出するまで、ポリシリコン膜上層膜8及びシリコン酸化膜絶縁膜9を研磨した。この所要時間は30秒程度であった。

30 【0037】なお、研磨条件の切り替え及び最終的に研磨を終えるタイミングは終点検知技術を利用して決定した。複数の層を同時に研磨する場合においては、最も一般的なキャリアの回転への負荷の変化を利用したものを使用した。研磨速度が異なる異種膜が露出した場合には、キャリアの回転への負荷が急激に変化するため容易に終点検知が可能である。

40 【0038】上述の酸化セリウムを含む研磨材による第1段階の研磨においては、研磨速度は絶縁膜9の方がポリシリコン膜上層膜8よりも10倍程度速い。硬質な研磨パッドを用いているので、シリコン酸化膜絶縁膜9の凸部が選択的に研磨されていく。凸部の占める割合が低い部分ほど早くポリシリコン膜上層膜8が露出する。ポリシリコン膜上層膜8の研磨速度はシリコン酸化膜絶縁膜9よりも低いので、露出したポリシリコン膜上層膜8及びその近傍のシリコン膜絶縁膜9での研磨速度は低下する。凸部の占める割合が高い領域にてポリシリコン膜上層膜8が露出するまで研磨を継続する。早い段階でポ
50

リシリコン膜上層膜8が露出した部分は研磨のストップとしてポリシリコン膜上層膜8が作用するものの、ある程度研磨が進行し、ポリシリコン膜上層膜8及びポリシリコン膜上層膜8の近傍のシリコン酸化膜絶縁膜9の薄膜化が生じている。この薄膜化の度合いはパターンによって異なり、100~200nm程度である。

【0039】続いてシリカ粒子を含み、pH11程度に調整された研磨材による第2段階の研磨では、研磨速度がポリシリコン膜上層膜8、シリコン酸化膜絶縁膜9、シリコン窒化膜下層膜7の順に高く、夫々600nm/分、150nm/分、40nm/分である。従って、酸化セリウム粒子により研磨した際、研磨のストップとして作用したポリシリコン膜上層膜8、即ち凸部を逆に選択的に研磨することが可能である。ポリシリコン膜上層膜8の下には研磨速度が高いシリコン窒化膜下層膜7を設けているため、研磨速度が高いポリシリコン膜上層膜8が除去された部分の研磨速度は低下する。従って研磨の第1段階で生じた凸部を選択的に研磨することが可能となるため、シリコン基板表面の凹凸を減らすことができる。

【0040】図4は本発明の効果を示すグラフ図である。図4(a)はシリコン基板の膜厚のパターン間差と面内のばらつきを加えたものを平坦度と定義して、この平坦度を従来例と本発明とで比較したものである。従来例1はシリコン窒化膜のみを成膜したもの、従来例2はシリコン窒化膜上にポリシリコン膜を加えたものである。従来例2は従来例1と比べてパターン間の膜厚差は改善できるが、面内ばらつきに関しては従来例1と同等であるため、本発明ほどには改善することができない。これに対し、上述の条件で研磨した本発明の実施例方法においては、平坦度が極めて高い。

【0041】また、図4(b)は、研磨のストップ層の相違による溝部のアスペクト比への影響を示すものである。溝の幅を400nm、溝の深さを400nmとした。従来例1では、シリコン窒化膜を150nm、その下の熱酸化膜を20nm程度とした。従来例2では研磨のストップは下層のシリコン窒化膜のみであるから、シリコン窒化膜をあまり薄くすることができない。また、上層の中間層、例えばポリシリコン膜についても研磨のパターン依存性を相殺するには厚くする必要がある。従って、例えば、シリコン窒化膜を100nm、ポリシリコン膜を200nmとなり、従来例1よりも150nmも厚くなる。それに対して、本発明では上層膜及び下層膜の双方が研磨のストップとして作用するので、これらを薄くすることができる。また、本発明においては、上層膜を研磨のストップとし研磨した後、逆に上層膜を選択的に研磨することで、研磨のパターン依存性の影響を最小限としているため、特に下層膜は薄くても良い。従って、前述したように、シリコン窒化膜を50nm、ポリシリコン膜を150nmとすると、従来例1に対する

増加分は50nm程度となり、微増である。従来例1は平坦度が悪く実用的ではないため、本発明の場合は、溝部の埋め込み性を犠牲にすることなく、平坦度を改善できることがわかる。

【0042】また、本発明では研磨を2段階に分けたため、研磨材等の選択範囲が広がるという利点を有する。従来技術の項にて記載したが、研磨速度の選択比が高い研磨材ではスクラッチの発生及び除去性の問題が生じる場合があるが、本発明では研磨を2段階に分けているために、研磨の第1段階でのスクラッチ及び除去性は問題とならない。即ち、研磨の第2段階にてこれを除去してしまえば良い。

【0043】

【発明の効果】以上説明したように、本発明によれば、研磨のパターン依存性を異種膜の研磨速度比を利用して相殺することができ、且つ、研磨のストップを2層化したことにより面内均一性を改善することができる。このため、本発明によれば、溝分離部の絶縁膜の厚さをパターン間、基板面内に拘らず一様にすることができ、これにより、以降の工程でのゲート電極等の微細配線の加工を容易にすることができる。

【0044】また、本発明によれば、凸部の2層膜をいづれもストップとして機能させることができるので、上層膜を追加した分、下層膜の膜厚を減らすことができるため、ストップ全体としての膜厚を増大させる必要がない。このため、上述の平坦度を向上させるために、溝分離部の絶縁膜の埋め込み性を悪化させることがない。

【図面の簡単な説明】

【図1】(a)乃至(c)は本発明の第1実施例に係る半導体装置の製造方法を工程順に示す断面図である。

【図2】研磨装置の要部を示す模式図である。

【図3】(a)乃至(c)は本発明の第2実施例に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】(a)及び(b)は本発明方法の効果を示すグラフである。

【図5】従来の半導体装置の製造方法を工程順に示す断面図である。

【図6】従来の他の半導体装置の製造方法を工程順に示す断面図である。

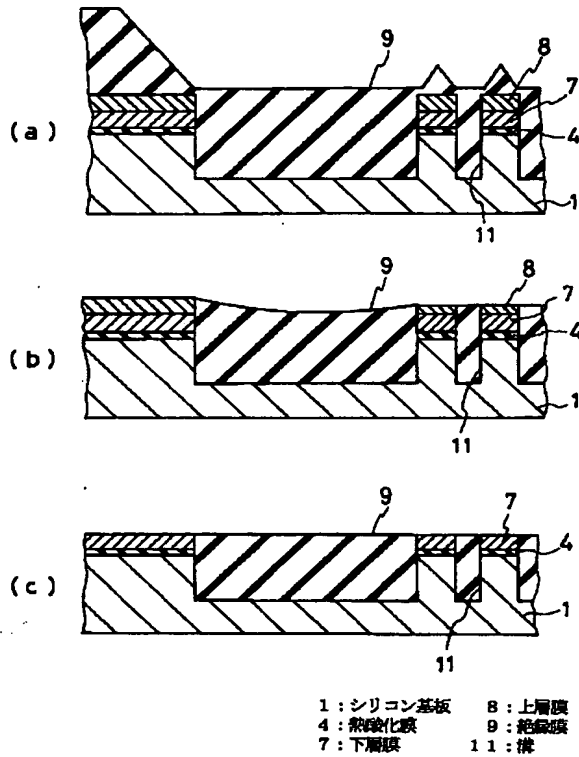
【符号の説明】

- 1 ; シリコン基板
- 2、2' ; シリコン酸化膜
- 3 ; シリコン窒化膜
- 4 ; 熱酸化膜
- 5 ; 半導体素子形成領域
- 6 ; ポリシリコン膜
- 7 ; 下層膜
- 8 ; 上層膜
- 9 ; 絶縁膜
- 10 ; 金属配線

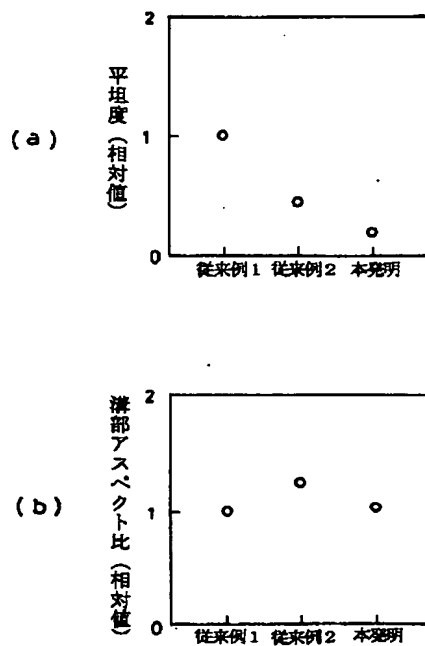
- 11 ; 溝
12 ; スピンドル
13 ; キャリア
15 ; 研磨パッド

- 16 ; プラテン
17 ; 研磨材供給装置
18 ; 研磨材

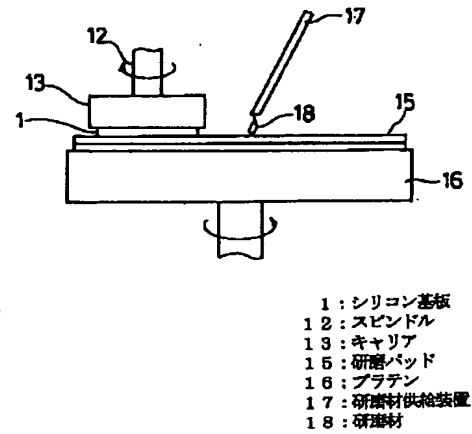
【図 1】



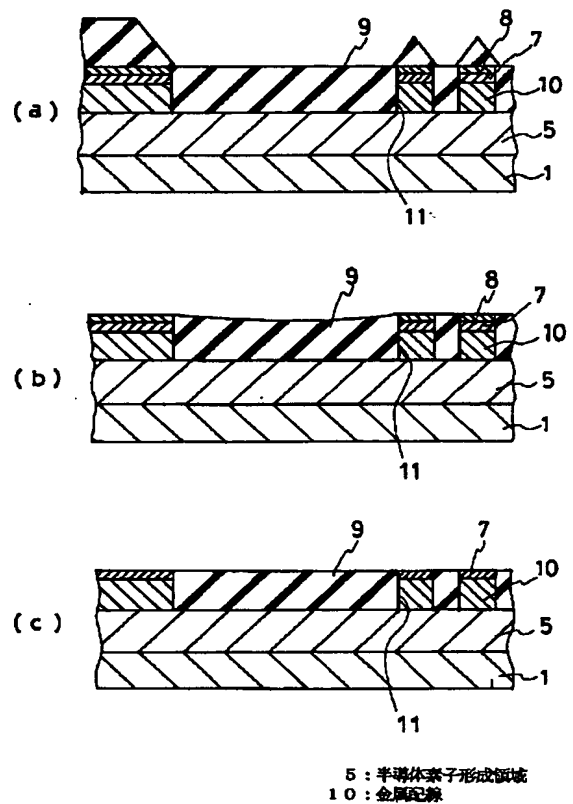
【図 4】



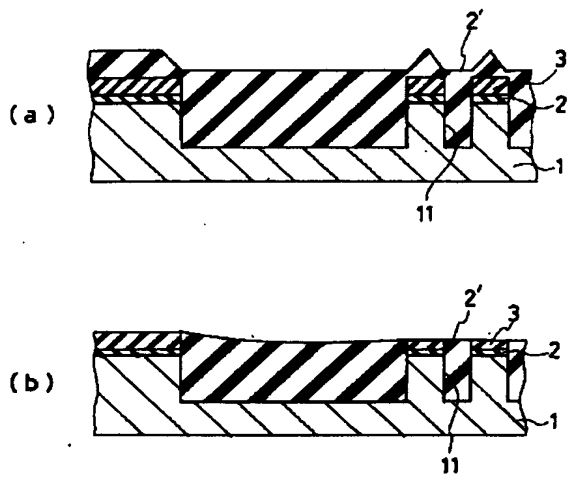
【図 2】



【図 3】

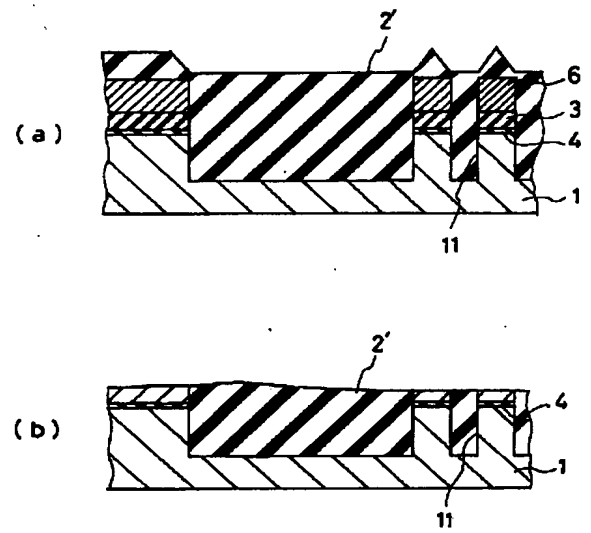


【図 5】



- 1 : シリコン基板
 2, 2' : シリコン酸化膜
 3 : シリコン窒化膜
 11 : 溝

【図 6】



- 1 : シリコン基板
 2' : シリコン酸化膜
 3 : シリコン窒化膜
 4 : 熱酸化膜
 6 : ポリシリコン膜